

02783724 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 01-081324 [JP 1081324 A]
PUBLISHED: March 27, 1989 (19890327)
INVENTOR(s): IMAI KEITAROU
YAMABE KIKUO
SHIOZAWA JUNICHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-237326 [JP 87237326]

FILED: September 24, 1987 (19870924)

INTL CLASS: [4] H01L-021/316; H01L-027/04; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 786, Vol. 13, No. 304, Pg. 75, July 12, 1989 (19890712)

ABSTRACT

PURPOSE: To reduce leak currents and to improve memory keeping characteristic by forming a polycrystalline silicon layer, thermally oxidizing it in an oxide atmosphere containing fluorine or compounds thereof, removing such thermally oxidized film by etching, and then forming a desired insulating film on the polycrystalline silicon layer.

CONSTITUTION: The surface of a polysilicon film 8 formed on an oxide film 1 is characterized by irregularities 20 due to an infinity of crystal grains, in the interior of which crystal grains 21 are present. When oxidizing the polysilicon film 8 in oxygen containing NF(sub 3), large quantities of fluorine atoms 23, being entrapped by an oxide film formed on the polysilicon film 8, plasticity of the oxide film 22 increases while stresses are relieved. By this reaction, the surface of the n(sup +)-type polysilicon film 8 is smoothly oxidized. At the same time, fluorine atoms 23 are infiltrating into the n(sup +)-type polysilicon film 8 and combined with non-combined Si atoms which are present at the boundary of the crystal grains 21. As a result, donor type impurities in the n(sup +)-type polysilicon film 8 are no longer precipitated at the boundary of the crystal grains. According to the constitution, the characteristic of a capacitor oxide film to be later formed can be improved. By removing the oxide film 22 by etching afterwards, an excellent film can be obtained.

DIALOG(R)File 352:DERWENT WPI
(c)1999 Derwent Info Ltd. All rts. reserv.

007870048

WPI Acc No: 89-135160/198918

Mfg. semiconductor device - by forming polysilicon film on substrate,
thermally forming oxide film, and then insulation film. NoAbstract Dwg
0/2

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 1081324	A	19890327	JP 87237326	A	19870924		198918 B

Priority Applications (No Type Date): JP 87237326 A 19870924

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 1081324	A		24			

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; FORMING; POLY;
SILICON; FILM; SUBSTRATE; THERMAL; FORMING; OXIDE; FILM; INSULATE; FILM;
NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/31; H01L-027/04;
H01L-029/78

File Segment: CPI; EPI

⑧ Int. Cl.⁴

H 01 L 21/316
27/04
29/78

識別記号

371

庁内整理番号

6708-5F
C-7514-5F
7514-5F

⑨ 公開 昭和64年(1989)3月27日

審査請求 未請求 発明の数 1 (全4頁)

⑩ 発明の名称 半導体装置の製造方法

⑪ 特 願 昭62-237326

⑫ 出 願 昭62(1987)9月24日

⑬ 発 明 者 今 井 馨 太 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑭ 発 明 者 山 部 紀 久 夫 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑮ 発 明 者 塩 沢 順 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑯ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑰ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基板に多結晶シリコン膜を形成する工程と、
該多結晶シリコン膜上に絶縁膜を形成するに当り、
一旦非晶或いはその化合物を含む酸化雰囲気中で
該多結晶シリコン膜上に熱酸化膜を形成する工程
と、を含む半導体装置の製造方法。

(2) 前記熱酸化膜の形成における酸化雰囲気中
の非晶或いはその化合物の濃度は1ppm以上であ
ることを特徴とする特許請求の範囲第1項記載の
半導体装置の製造方法。

(3) 前記熱酸化膜の形成における酸化温度は
800℃以上1000℃以下であることを特徴とする特
許請求の範囲第1項記載の半導体装置の製造方法。

(4) 前記多結晶シリコン膜上の熱酸化膜を絶縁
膜として残すことを特徴とする特許請求の範囲第
1項記載の半導体装置の製造方法。

(5) 前記熱酸化膜をエッチング除去した後、前

記熱酸化膜の除去された多結晶シリコン膜上に絶
縁膜を形成することを特徴とする特許請求の範囲
第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は多結晶シリコン膜上の絶縁膜を改良し
た半導体装置の製造方法に関する。

(従来の技術)

従来より半導体装置の1つで、フローティング
ゲートを有する MOS構造によって、電気的に書き
込み可能な読み出し専用メモリとして EPROM
(Electrical Programmable Read Only Memory) が
ある。この装置では、通常フローティングゲート
としては多結晶シリコン膜が用いられる。しかし
ながら、多結晶シリコン上に形成される熱酸化膜
は単結晶シリコン基板上に形成される熱酸化膜に
比べて、電界印加時にリーク電流が著しく増大す
る欠点がある。このため記憶保持特性が著しく低
下する問題があった。

前記EPR0Mの他に、キャパシタとトランジスタを組み合わせて情報の記憶動作を行うDRAM(Dynamic Random Access read write Memory)がある。このDRAMにおいては、限られた面積で十分なメモリ容量を得るためにセル領域全体に電荷蓄積部分を積み上げるいわゆるスタックトキャパシタセルが現在、検討されている。通常のセルではシリコン基板に電荷が蓄積されていたが、スタックトキャパシタセルでは積み上げられた多結晶シリコン層に電荷が蓄積される。したがって、キャパシタ絶縁膜を多結晶シリコン膜上に形成した場合、上述と同様の問題が生じることになる。

(発明が解決しようとする問題点)

以上述べたように多結晶シリコン膜上に絶縁膜を用いるEPR0Mやスタックトキャパシタセルを有するDRAMにおいてはリーク電流が増大するため記憶保持特性が著しく低下する問題が生じる。本発明は上述した欠点を解消する半導体装置を提供することを目的とする。

(発明の構成)

とができる。非潤試いはその化合物を含む雰囲気中で熱酸化を行うと、低い温度でも酸化速度が大きく、酸化膜中には高濃度の非潤がとり込まれるため、酸化膜の可塑性が増し、S1-S10₂界面はなめらかに酸化される。通常の熱酸化の場合には十分に高温の場合にのみ粘性係数が低下するが、高温においては酸化時に結晶粒の成長による形状変化を伴うためS1-S10₂界面はかならずしもなめらかな形状にはならない。

第2に、多結晶シリコン膜中には電気抵抗を下げる目的で高濃度の潤試いまたは非潤などがドーピングされるが、多結晶シリコンの結晶粒境界には未結合状態のシリコンが多く存在するためこれらドーパントが前記境界部に析出し易い。したがって、多結晶シリコン膜と絶縁膜界面において結晶粒境界にこれらドーパントが析出した場合、電気的特性の劣化を招くことになると同時に多結晶シリコン膜の電気抵抗が上がることになる。しかしながら、本発明方法により、非潤試いはその化合物を含む雰囲気中で熱酸化を行った場合、非潤が多結

(問題を解決するための手段)

上述した目的を達成するために、本発明では多結晶シリコン膜を形成後、一旦非潤又はその化合物を含む酸化雰囲気中で熱酸化を行った後その熱酸化膜をエッチング除去し、しかる後に所望の絶縁膜を多結晶シリコン膜上に形成することを特徴としている。

(作用)

多結晶シリコン膜は粒径10nm~1000nm程度の結晶粒によって構成されるため、表面には結晶粒に起因する微細な凹凸が無数に存在する。したがってこのような多結晶シリコン膜上に絶縁膜を形成した場合、前述したデバイスの動作時に電界集中が凹凸表面上で生じリーク電流が増大することになり、更には永久絶縁破壊を生じる原因にもなる。本発明によれば、第1に非潤試いはその化合物を含む酸化雰囲気中で多結晶シリコン膜表面を一旦積極的に酸化することによってなめらかな表面を得ることができ、したがって、リークの少ない高品質な絶縁膜を多結晶シリコン表面に形成するこ

多結晶シリコンの結晶粒境界の未結合シリコンと結合するため、上記の問題は著しく低減される。

(実施例)

以下、本発明による一実施例を図面を参照して詳細に説明する。第1図はその実施例として熱酸化膜をキャパシタ絶縁膜として利用したスタックトキャパシタセルを有するDRAMの製造工程を示す断面図である。

先ず、第1図(a)に示すように比抵抗 $10\Omega\cdot\text{cm}$ を有し、表面が(100)面であるp型のシリコン基板(1)上に、素子区分をを行うための例えば熱酸化膜の選択的に形成し、その後ゲート酸化膜となる薄い熱酸化膜(2)を形成し続いてゲート電極となる第1のn⁺型polysil膜(3)を形成した後、通常の写真食刻工程を経てパターンニングを行う、その後、前記ゲートに対して自己整合的にイオン注入法によりn⁺型層(4)を形成する。

次に第1図(b)に示すように薄いCVD酸化膜(5)を全面に形成した後、通常の写真食刻工程を経て前記n⁺型層の一部と接続する開口部(6)を形成す

る。

次に第1図(a)に示すように全面に第2のn⁺型polysil膜を形成した後、800℃で50ppmのHFを含む酸液中で酸化すると、多量の弗素原子(23)がpolysil膜上に形成される酸化膜中にとり込まれるため、前記酸化膜(22)の可塑性が増し応力の緩和がなされる。このためn⁺型polysil膜の表面はなめらかに酸化される。又、それと同時に、n⁺型polysil膜中にも弗素原子(23)が入り込み結晶粒(21)の境界に存在する未結合Si原子と結合する。これによってn⁺型polysil膜中のドナー型不純物が結晶粒境界に析出することはない。この後形成されるキャパシタ酸化膜の特性を向上させることができる。その後、前記酸化膜(22)をエッチング除去すると第2図(c)に示すような良好な膜を得ることができる。

しかる後に、第1図(d)に示すように酸化膜のエッチング除去し、通常の写真食刻工程を経て、n⁺型polysil膜を所望のパターンにパターンニングし、その後、キャパシタ酸化膜となる熱酸化膜(10)を形成する。

最後に、第1図(e)に示すようにキャパシタ電極となる第3のn⁺型polysil膜(11)を全面に形成後、通常の写真食刻工程を経てパターンニングすることによって図に示す如くメモリセルを完成する。

ここで、犠牲酸化の膜子を第2図(a)~(c)を用いてより詳細に説明する。

第2図は第1図のpolysil膜の部分の詳細な形状を示す断面図である。まず、酸化膜上に形成したpolysil膜の表面は、第2図(a)に示すように無数の結晶粒により凹凸(20)が存在し内部には結晶

限定されるものではなく、本発明はpolysil膜の凹凸、あるいはpolysil膜上に形成する絶縁膜との界面への前記polysil中に含まれるドーパントの析出が生じる半導体装置の製造方法に適用できる。

【発明の効果】

本発明により、多結晶シリコン膜表面の凹凸が低減され、前記多結晶シリコン膜上に形成される絶縁膜との界面にドーパントが析出せず、このような工程を経て形成されるデバイスの電気的特性を向上せしめることができる。

4. 図面の簡単な説明

第1図は本発明による一実施例を示す製造工程断面図、第2図は本発明による実施例の結果を説明するための断面図である。

- 1…シリコン基板、
- 2…分子分離用酸化膜、
- 3…ゲート酸化膜、
- 4…第1のn⁺型多結晶シリコン膜、
- 5…n⁺型層、
- 6…CVD酸化膜、

粒(21)が存在している。次に、このpolysil膜を800℃、50ppm HFを含む酸液中で酸化すると、多量の弗素原子(23)がpolysil膜上に形成される酸化膜中にとり込まれるため、前記酸化膜(22)の可塑性が増し応力の緩和がなされる。このためn⁺型polysil膜の表面はなめらかに酸化される。又、それと同時に、n⁺型polysil膜中にも弗素原子(23)が入り込み結晶粒(21)の境界に存在する未結合Si原子と結合する。これによってn⁺型polysil膜中のドナー型不純物が結晶粒境界に析出することはない。この後形成されるキャパシタ酸化膜の特性を向上させることができる。その後、前記酸化膜(22)をエッチング除去すると第2図(c)に示すような良好な膜を得ることができる。

なお、上記実施例では犠牲酸化は800℃、50ppm HF、10%雰囲気としたが、その条件はこの実施例に限定されるものではなく、膜厚等に応じて適宜変更することができる。また、上記実施例は専ら、熱酸化膜をキャパシタ絶縁膜に用いるスタックトキャパシタセルについて述べたが、これに

7…開口部、

8…第2のn⁺型多結晶シリコン膜、

9…犠牲酸化膜、

10…キャパシタ酸化膜、

11…第3のn⁺型多結晶シリコン膜、

23…弗素原子。

代理人 弁理士 新 近 延 術
岡 松 山 元 之

